

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217415
(43)Date of publication of application : 02.08.2002

(51)Int.CI. H01L 29/78
H01L 21/336

(21)Application number : 2001-374875 (71)Applicant : INTERNATL RECTIFIER CORP
(22)Date of filing : 07.12.2001 (72)Inventor : KINZER DANIEL M
SRIDEVAN SRIKANT

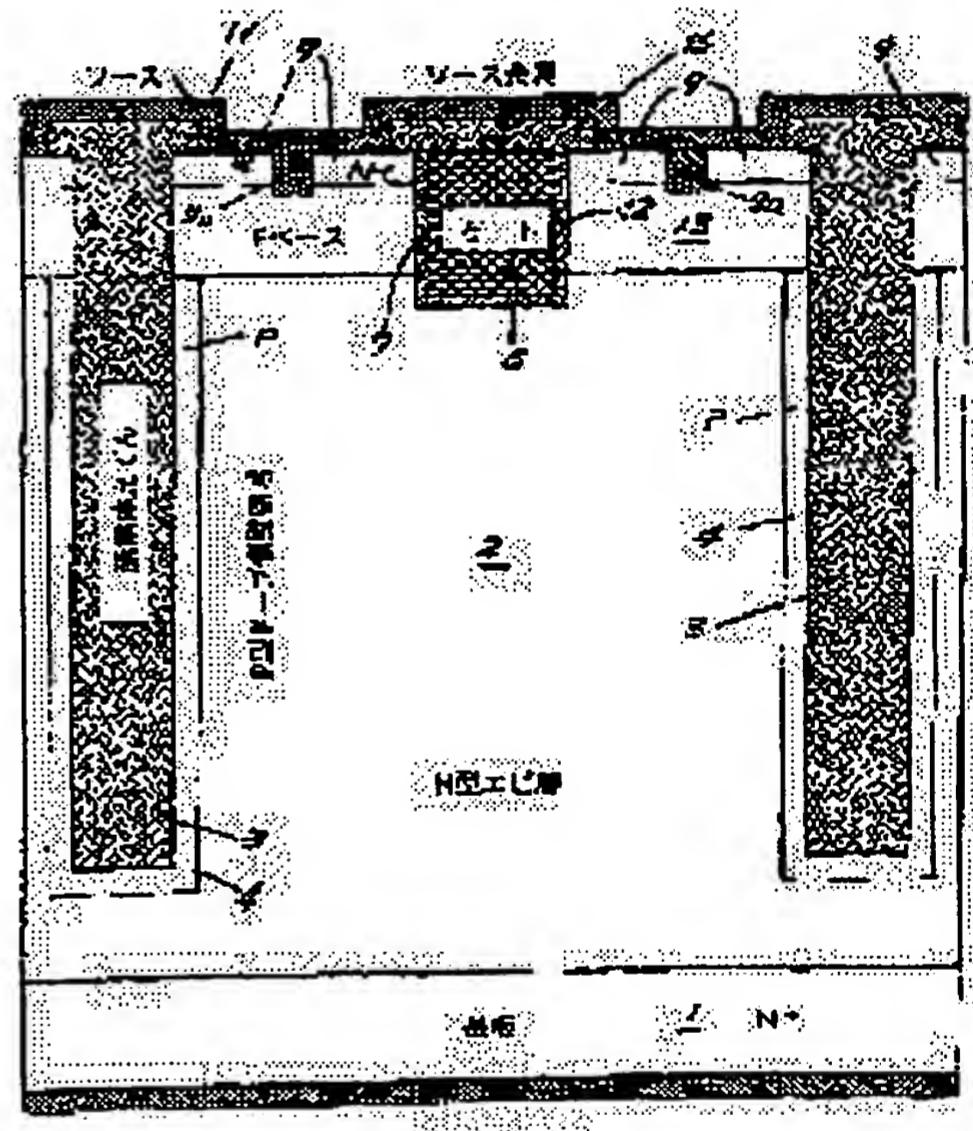
(30)Priority
Priority number : 2000 732401 Priority date : 07.12.2000 Priority country : US

(54) HIGH-VOLTAGE PERPENDICULAR CONDUCTIVE SUPERJUNCTION SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-voltage perpendicular conductive superjunction semiconductor device which can block very high voltage and has very low on-resistance in conduction mode.

SOLUTION: This high-voltage perpendicular conductive superjunction semiconductor device is provided with a plurality of deep trenches 3 in one conductivity-type lightly doped body. The other conductive type diffusion region is formed at a depth and a concentration aligned with those of the body, on the wall of the trench 3, and both areas are fully depleted under reverse-direction blocking. A thin and long trench 12 is filled with a dielectric substance as the compound of a nitride layer and an oxide layer for example, that has a dimensional change in the horizontal direction aligned with changed dimension of silicon. The filler may be a high-resistance SIPOS that can ensure leakage current from a source to a drain to keep a uniform distribution of electric field along the total length of the trench during blocking.



LEGAL STATUS

[Date of request for examination] 07.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-217415
(P2002-217415A)

(43)公開日 平成14年8月2日(2002.8.2)

(51)Int.Cl.
H 01 L 29/78

識別記号
6 5 2
6 5 3
21/336

F I
H 01 L 29/78

テーマコード(参考)
6 5 2 H
6 5 2 E
6 5 2 R
6 5 3 A
6 5 8 A

審査請求 有 請求項の数12 OL (全 6 頁)

(21)出願番号 特願2001-374875(P2001-374875)
(22)出願日 平成13年12月7日(2001.12.7)
(31)優先権主張番号 09/732,401
(32)優先日 平成12年12月7日(2000.12.7)
(33)優先権主張国 米国(US)

(71)出願人 591074389
インターナショナル・レクチファイヤー・
コーポレーション
INTERNATIONAL RECTI
FIER CORPORATION
アメリカ合衆国90245カリフォルニア州
エル・セグンド、カンザス・ストリート
233番
(74)代理人 100077481
弁理士 谷 義一 (外2名)

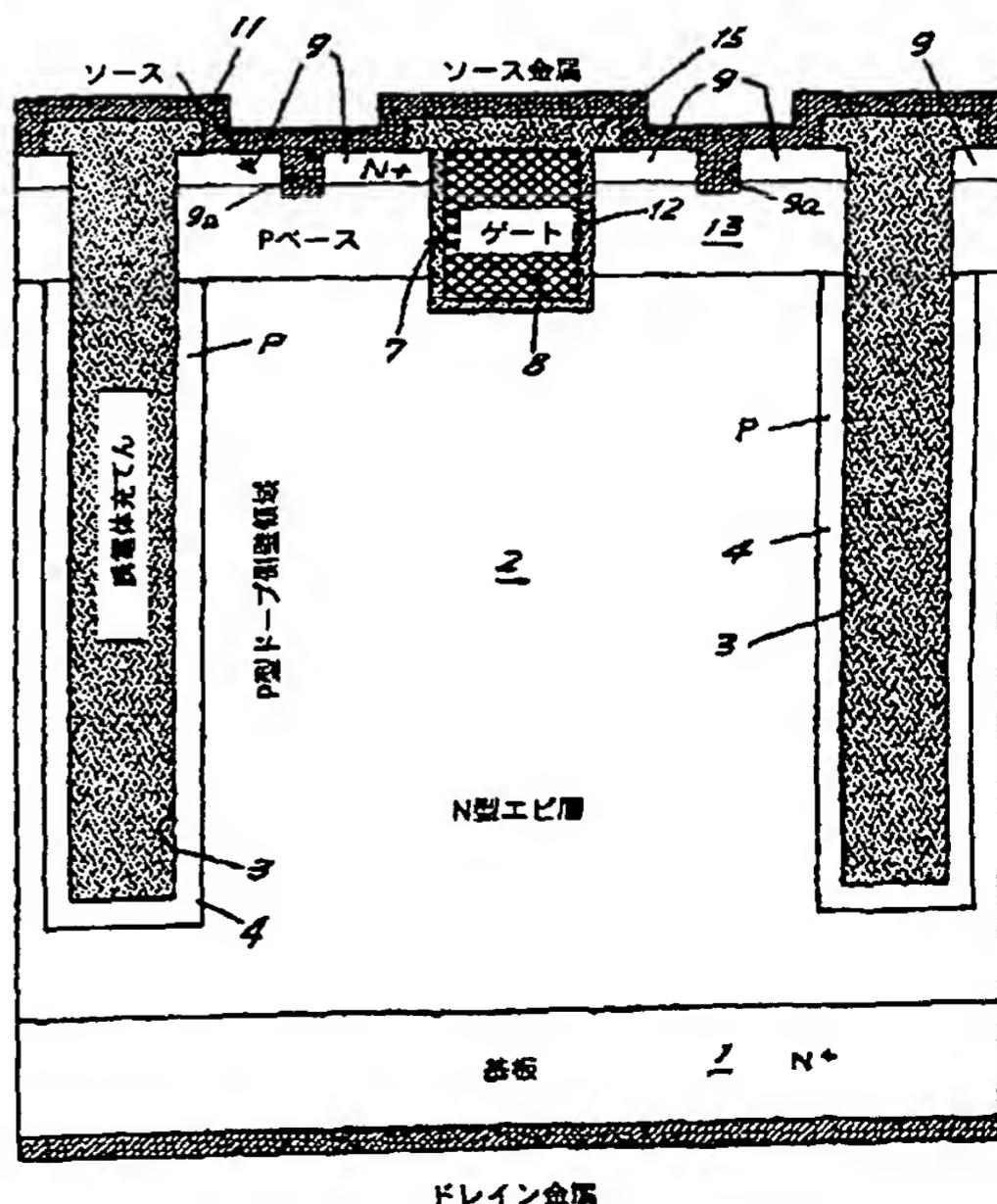
最終頁に続く

(54)【発明の名称】高電圧垂直伝導スーパージャンクション半導体デバイス

(57)【要約】

【課題】非常に高い電圧をブロックすることができ、かつ伝導モードで極めて低いオン抵抗を有する高電圧垂直伝導スーパージャンクション半導体デバイスを提供すること。

【解決手段】高電圧垂直伝導半導体デバイスは、一方の導電型の軽くドープされたボディに複数の深いトレンチ3を有する。トレンチ3の壁に、もう一方の導電型の拡散領域が、ボディの深さおよび濃度に整合した深さおよび濃度で形成され、逆方向ブロッキング下で両方の領域が完全に空乏化する。細長いトレンチ12に、シリコンの寸法変化に整合した横方向の寸法変化を有する例えば窒化層と酸化層の複合層である誘電体を充填する。この充填材を、ブロッキング中にトレンチの全長に沿って均一な電界分布を保証するソースからドレインへのリーク電流を許す高抵抗のS I P O S とすることもできる。



1

【特許請求の範囲】

【請求項1】 一方の導電型のボディと、

- ・ 該ボディの上面に形成された複数の離隔した垂直トレンチと、
前記複数のトレンチの内面に形成されたもう一方の導電型の拡散領域と、
前記ボディの最上部及び前記拡散領域の各々の最上部に接続されたMOSゲート構造とを備え、
前記ボディにブロッキング電圧を印加したときの前記拡散領域及び前記ボディの実質的に完全な空乏化させるよう、前記拡散領域の厚さ及び濃度と前記ボディの幅および濃度が整合されることを特徴とする高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項2】 前記トレンチの各々の内部に誘電材料が充填されることを特徴とする請求項1に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項3】 前記MOSゲート構造が、前記ボディの最上部を横断して延びる前記もう一方の導電型のベースと、該ベース中に拡散させた前記一方の導電型の複数の離隔したソース領域と、前記ベースの最上部にあって、それぞれの前記トレンチ対間に位置する複数の第2のトレンチと、該第2のトレンチの内部を裏打ちするゲート酸化物と、前記第2のトレンチの内部に充填された導電性ポリシリコンゲートと、前記デバイスの上面に形成され、前記ベースおよび前記ソース領域と接触したソースコンタクトを備えることを特徴とする請求項1又は2に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項4】 前記誘電体が二酸化シリコンであることを特徴とする請求項1又は2に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項5】 前記トレンチの各々が、横に細長い平行トレンチであることを特徴とする請求項4に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項6】 前記トレンチの各々が、閉じた細胞状のトポロジを有することを特徴とする請求項5に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項7】 前記誘電体が、その最上部がソース電極に接続され、その底面が前記ドレイン構造に接続された高抵抗材料であって、ブロッキング条件下で意図的にリード電流を通して、ブロッキング条件の間、前記トレンチの全長に沿って均一な電界分布を強制する高抵抗材料であることを特徴とする請求項2に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項8】 前記誘電体が半絶縁ポリシリコンであることを特徴とする請求項2に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項9】 前記誘電材料が、一体としてシリコンの膨張特性と整合する、少なくとも異なる熱膨張特性の第1及び第2の誘電体から成る垂直な互層から構成される

10

ことを特徴とする請求項2に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【請求項10】 単結晶ウェハの上面に形成された少なくとも1つのトレンチを含む半導体デバイスにおいて、前記トレンチの内部に充填する誘電充填材であって、該誘電充填材が、一体としてシリコンの膨張特性と整合する、異なる熱膨張特性の第1及び第2の誘電体から成る垂直な互層から構成されることを特徴とする高電圧垂直伝導スーパージャンクション半導体デバイス。

20

【請求項11】 複数の平行トレンチを含み、それぞれの前記トレンチに前記誘電充填材が充填されることを特徴とする請求項10に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

30

【請求項12】 前記第1及び第2の誘電体がそれぞれ二酸化シリコンおよび窒化シリコンであることを特徴とする請求項9、10又は11に記載の高電圧垂直伝導スーパージャンクション半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイスに関し、より詳細には、高電圧垂直伝導スーパージャンクション(superjunction)半導体デバイスに関する。

【0002】

【従来の技術】 スーパージャンクション半導体デバイスはよく知られており、一般に、ソースとドレイン領域の間に接続された複数のPおよびN領域層を備える。デバイスを順方向にターンオンさせるためには、例えば、比較的高いN型濃度を有するN型領域に電流を流す。したがって、デバイスの単位面積あたりのオン抵抗またはR_{DSON}は比較的低い。デバイスをオフにするためには、隣接するPおよびN領域を完全に空乏化させ、それによって電流をブロックし、デバイスをターンオフさせる。

【0003】 これらのタイプのスーパージャンクションデバイスは、米国特許第5216275号明細書および米国特許第4754310号明細書に示されており、1998年12月23日に出願され、本発明の譲受人に譲渡されたBoden名義の同時係属出願第60/113641号(IRD-1676Prov)にも示されている。

40

【0004】

【発明が解決しようとする課題】 本発明は、このような状況に鑑みてなされたもので、その目的とするところは、非常に高い電圧をブロックすることができ、かつ伝導モードで極めて低いオン抵抗を有する高電圧垂直伝導スーパージャンクション半導体デバイスを提供することにある。

【0005】

【課題を解決するための手段】 本発明の第1の特徴によれば、複数の深いP型領域が、N型ドリフト領域内に配置された接地端子に短絡されて、ブロッキングモード中

50

これらのN型領域の空乏化を助け、N型領域でのよりいっそう高いドーピングの使用を可能にする。これによってさらに、高電圧範囲でのデバイスのオン抵抗の主要な源であるドリフト領域のオン抵抗の寄与が低減する。この深いP型領域は、深いトレンチをエッチングし、適当なP型ドーズ量を用いてトレンチの側壁をドーピングすることによって形成される。トレンチゲートの使用によってさらに、密度を高め、オン抵抗を低減させることができる。

【0006】本発明の第2の特徴によれば、深いトレンチを酸化膜で裏打ちし、次いでS I P O S（半絶縁ポリシリコン）層を充填する。S I P O S層は酸化物ライナの開口部を通してドレインに短絡される。S I P O Sはこの構造の最上部でソースとも短絡する。これによって、ソースとドレインの間に高抵抗のリーク経路が提供され、そのため電位分布が均一になり、したがってトレンチ側壁ドーピングのR E S U R F効果が補強される。

【0007】本発明の第3の特徴によれば、トレンチの充填に酸化物を使用する代わりに、酸化物（S i O₂）と窒化物（S i₃N₄）の互層を使用する。窒化層の熱膨張係数は、酸化物および親シリコンのそれよりも大きく、そのため、誘電付着物が冷えたときにそれはシリコンと同じように縮み、誘電体がシリコンのそれとは異なる膨張係数を有する場合に存在したであろう材料応力が低減する。

【0008】

【発明の実施の形態】以下、図面を参照して本発明の実施例について説明する。

【0009】図1は、本発明の高電圧垂直伝導スーパー・ジャンクション半導体デバイスの一実施例を示す構成図で、デバイスがその上に構築された基板1の非常に小さな部分が示されている。なお、説明を分かりやすくするために図1では寸法が誇張されていることに留意されたい。

【0010】基板1は、低抵抗率のN⁺型基板で、この基板1の上に、厚さ約4.5マイクロメートルのN型エピタキシャル層2を成長させ、これを、不純物原子濃度約10¹⁶原子/cm³にドープする。領域2の上面に、深さ約3マイクロメートルのPベース領域13を形成する。次いで、それぞれ深さ約3.5マイクロメートル、幅約5マイクロメートルの平行な複数のみぞまたはトレンチ3を、シリコンの上面からPベース13を貫通してNエピ体2の内部まで、約5マイクロメートル間隔でエッチングする。

【0011】それぞれのトレンチ3の側壁および底面を適当なプロセスによってP型にドープする。これが、それぞれのトレンチ3を裏打ちするP層4として図示されている。P領域4はPベース13と電気的に接触し、一方、トレンチ3間のメサ形のエピ領域2はN型のままである。N-エピ層2およびP領域4のドーズ量を変化さ

50

せて、または調整して、所望のスイッチング特性を得ることができる。

【0012】次いで、トレンチ3に誘電材料6を充填する。誘電材料6は単一の誘電体、または、図3で説明するように、2種以上の誘電体の組合せとすることができる。

【0013】次いで、Pベース層13を貫通し領域2の内部に達するトレンチ12などの浅いトレンチを、対をなすトレンチ4の間にエッチングする。次いで、ゲート酸化物7をトレンチ12の内面に成長させトレンチ12のライナとし、トレンチ12に、導体材料8、例えば、導電性ポリシリコンを充填し、これによって最終的なデバイスのゲート電極を形成する。ゲート電極8にバイアス電圧を印加することによって、従来どおり、ゲート絶縁7に隣接する領域13の導電率を調節することができる。

【0014】適当なN型化学種の高ドーズ量低エネルギー注入をデバイスの上面に適用して、高濃度、低抵抗率の浅いN⁺ソース領域9を形成する。

【0015】次いで、ソース領域9を貫通してPベースの内部に達する浅いトレンチ9aをゲート8の両側にエッチングし、ソースコンタクト金属11をデバイス表面に適用して、N⁺ソース9およびPベース13へのコンタクトとする。絶縁酸化物15が、ゲート8をソース11から絶縁していることに留意されたい。

【0016】図1に示したデバイスの製造では、トレンチ3に対して、横に細長い平行なストライプ、長方形または円形の穴のような細胞状幾何形状など、所望のトポロジを使用することができる。

【0017】ベース13とソース領域9とゲート酸化物7およびゲート8は一体として、半導体デバイスの伝導およびブロッキングを制御するMOSゲート型の構造を形成する。

【0018】図1に示したデバイスの動作を以下に示す。まず、最初にブロッキングモードでの動作を考える。ゲート8をソース10に関して接地し、高い相対バイアスをドレイン11に印加すると、互層をなすNおよびP領域2および4は空乏化し、これによってトレンチ3間の領域にはほぼ均一な電界分布が生じる。最適なブロッキング性能を得るためにには、周知のとおり、領域2および4へのドーピングおよび領域2および4の厚さを注意深く制御しなければならない。

【0019】次に、伝導モードでの動作を考える。ゲート電極8にバイアスを印加し、ソース9を接地すると、ベース13とゲート酸化物7の間のチャネル表面にN型チャネルが形成される。これによってデバイスは電流を流すことができるようになり、ドレインに小さなバイアスを印加することによって、極めて低いR_{DSON}でデバイスに電流が流れる。

【0020】深いトレンチ3を使用してP型領域4を形

成すると、従来のデバイスで可能なレベルよりも低い抵抗率のN型ドリフト伝導領域2の使用が可能になる。さらに、従来技術のような連続する水平エピタキシャル層とは対照的に、垂直なトレンチを使用すると、デバイス密度を(少なくとも30~40%)高めることができ、デバイスの伝導損も低減する。

【0021】図2は、本発明の高電圧垂直伝導スーパー・ジャンクション半導体デバイスの他の実施例を示す構成図で、図1と同じ機能を有するものについては同一の符号を付してある。図2に示す実施例と図1に示す実施例との相違点は、トレンチ3の内部に、図1の誘電充填材ではなく、半絶縁ポリシリコン(SIPOS)体20を充填する点である。SIPOS体20の最上部25はソース9に接続され、底面はN型エピ層2に接続される。図2のトレンチ3の底面は、図1のトレンチとは違い絶縁で覆われていないことに留意されたい。

【0022】その結果、SIPOS体はソース9とドレイン(2/1/11)の間に、トレンチ3の全長に沿つて均一な電位分布を強制し、したがってトレンチ側壁ドーピングのRESURF効果を補強する高抵抗のリーク電流経路を提供する。

【0023】すなわち、ブロッキング中に、ゲート8をソース10に関して接地し、高い相対バイアスをドレイン11に印加すると、領域5および4が空乏化し、これによってトレンチ3間の領域の電界分布がほぼ均一になる。最適のブロッキング性能を得るためにには、領域4および5のドーピングを注意深く制御しなければならない。SIPOS膜20を介したソース10とドレイン11の間の高抵抗リーク経路は、SIPOSに沿った抵抗性の電位分布のため、このほぼ均一な電界分布を補強する。さらに、SIPOSの使用は、P型側壁のRESURF効果を補強し、P型側壁のドーズ量およびエピ抵抗率の変動の影響を低減させる。しかし、SIPOS膜20は、順方向伝導モードでの動作に影響を及ぼさない。

【0024】図3は、図1におけるトレンチの断面図で、離隔した平行トレンチに酸化物充填材を充填したときに生じる「ファンギングアウト(fanning-out)」効果を防ぐように、新規の充填材が示されている。図1及び図2と同じ機能を有するものについては同一の符号をしてある。

【0025】ファン現象は、シリコントレンチ型デバイスの深いトレンチの内部に高温の酸化物を成長または付着させたときに起こる。冷却時、酸化物はシリコンほどには縮まず、そのため、冷えたときに酸化物がトレンチを押し広げる傾向がある。この効果は、同時に充填された多くの平行トレンチを有する製品で顕著であり、これによってシリコンはゆがみ、時には割れてしまうこともある。

【0026】本発明によれば、P拡散4を形成した後の段階で、まずトレンチ3に、最初の薄い酸化物ライナ3

0をトレンチの全高に沿って部分的に充填する。次いで、トレンチ3の残りの部分に、シリコンおよび酸化物よりも大きな熱膨張係数を有する窒化物(Si₃O₄)₃1を充填する。その結果、冷却後の酸化層30および窒化層31の横方向の全寸法変化が、シリコン2のそれに近づき、シリコン2上の応力が回避または低減される。

【0027】以上は酸化物と窒化物について説明したが、他の絶縁材料を選択するもでき、またこれらを順序を逆にして適用することもできる。さらに、異なる絶縁層を交互に重ねた複数の絶縁層対を使用することもできる。

【0028】本発明を、その特定の実施形態について説明してきたが、その他の多くの変形および修正、ならびにその他の使用法は当業者にとって明白であろう。したがって本発明は、本明細書に記載した特定の開示によつては制限されず、請求項の記載によってのみ制限されるのが好ましい。

【0029】

【発明の効果】以上説明したように本発明によれば、一方の導電型のボディと、ボディの上面に形成された複数の離隔した垂直トレンチと、複数のトレンチの内面に形成されたもう一方の導電型の拡散領域と、ボディの最上部及び拡散領域の各々の最上部に接続されたMOSゲート構造とを備え、ボディにブロッキング電圧を印加したときの拡散領域及び前記ボディの実質的に完全な空乏化させるように、拡散領域の厚さ及び濃度とボディの幅および濃度が整合されるようにしたので、非常に高い電圧をロックすることができ、かつ伝導モードで極めて低いオン抵抗を有する高電圧垂直伝導スーパー・ジャンクション半導体デバイスを実現することができる。

【図面の簡単な説明】

【図1】本発明の高電圧垂直伝導スーパー・ジャンクション半導体デバイスの一実施例を示す構成図である。

【図2】垂直トレンチ内でSIPOS充填材を使用する本発明の第2の特徴に基づいて製造された高電圧垂直伝導スーパー・ジャンクション半導体デバイスの構成図である。

【図3】トレンチ誘電体が、周囲のシリコンに対する熱膨張補償を提供する酸化層および窒化層から成る図1に示したトレンチの断面図である。

【符号の説明】

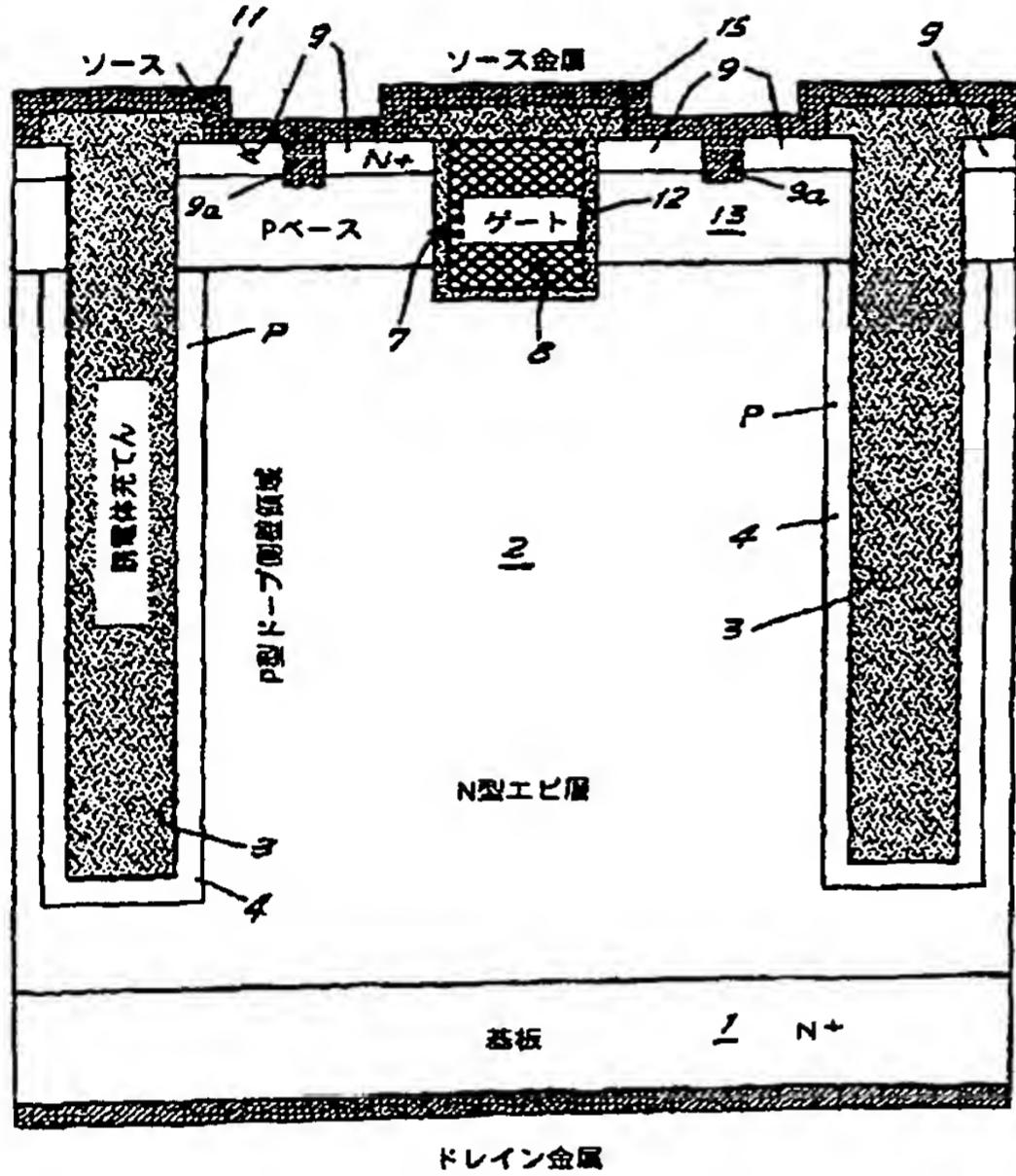
- 1 基板
- 2 N型エピタキシャル層
- 3 深いトレンチ
- 4 P型領域
- 6 誘電材料
- 7 ゲート酸化物
- 8 導体材料
- 9 N+ソース領域
- 9 a 浅いトレンチ

- 1 1 ソースコンタクト金属
 - 1 2 浅いトレンチ
 - 1 3 Pベース領域
 - 1 5 絶縁酸化物

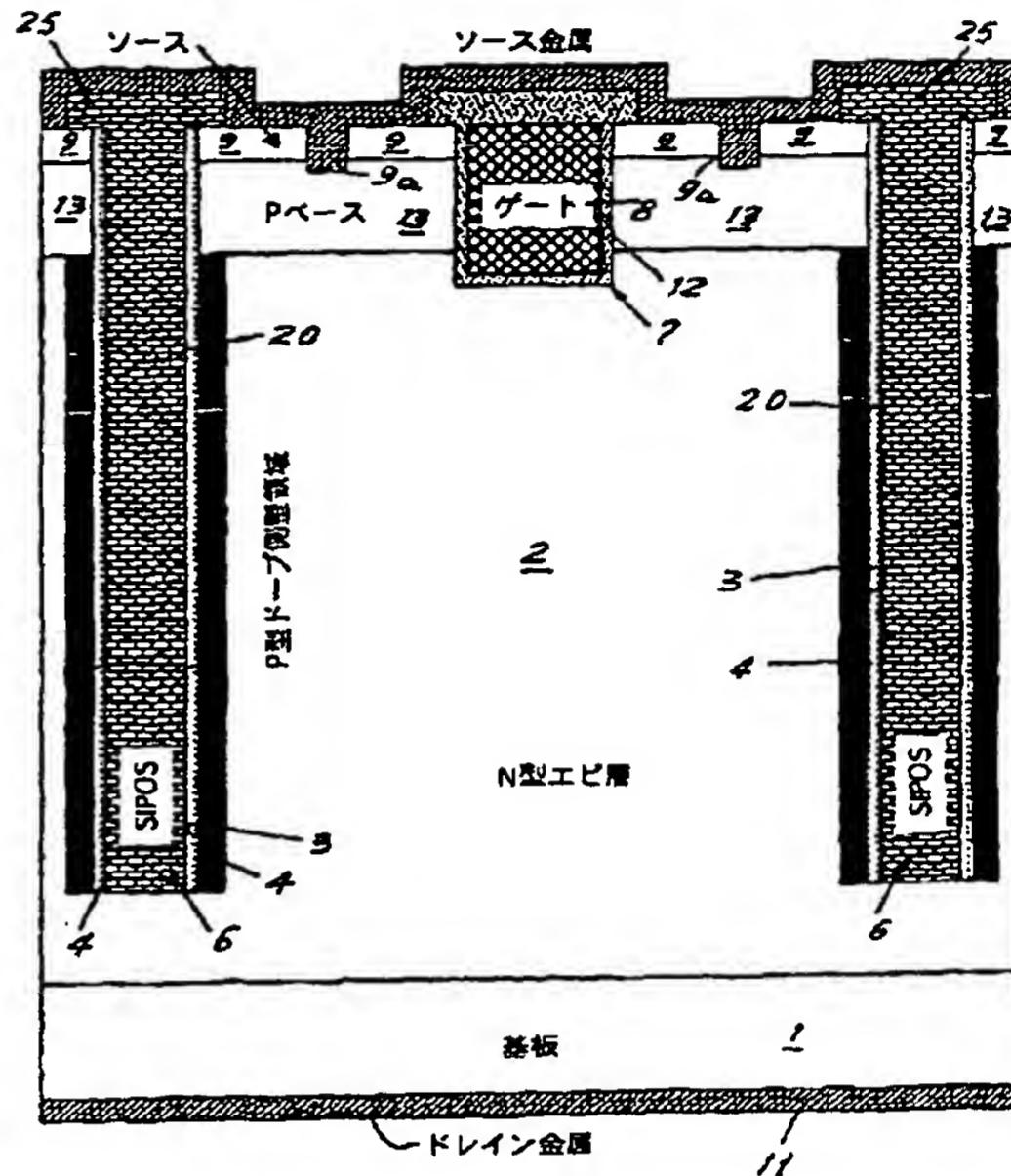
*

- * 2 0 半絶縁ポリシリコン (S I POS) 体
3 0 酸化層
3 1 窒化層

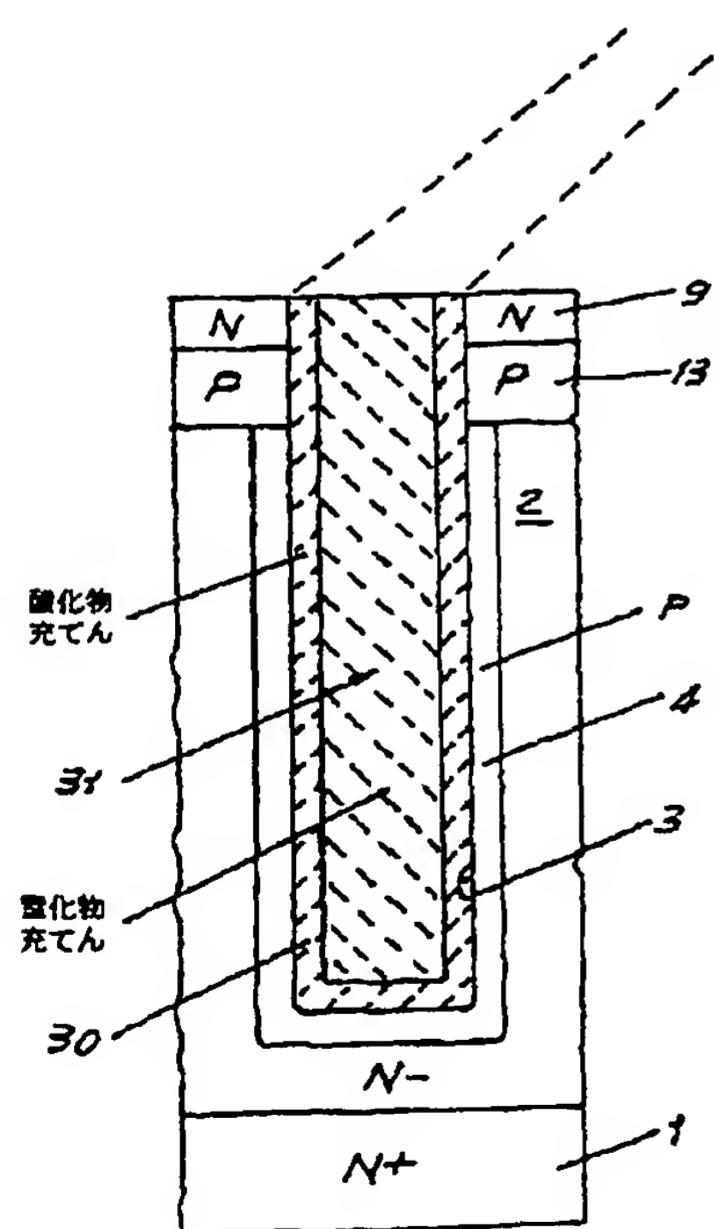
【図1】



[図2]



【図3】



フロントページの続き

(72) 発明者 ダニエル エム. キンザー
アメリカ合衆国 90245 カリフォルニア
州 エルセグンド センター ストリート
760

(72) 発明者 スリカント スリデバン
アメリカ合衆国 90277 カリフォルニア
州 レドンド ビーチ ピア リビエラ
205 アパートメント 8